
IMAGE-PICK UP DEVICE

Publication Number: 02-065380 (JP 2065380 A) , March 06, 1990

Inventors:

- SUGA AKIRA

Applicants

- CANON INC (A Japanese Company or Corporation), JP (Japan)

Application Number: 63-216496 (JP 88216496) , August 31, 1988

International Class (IPC Edition 5):

- H04N-005/335
- H04N-003/15

JAPIO Class:

- 44.6 (COMMUNICATION--- Television)

Abstract:

PURPOSE: To obtain a frame still picture to be a little blurred even to a moving subject by once housing all the photo-electric converting signals of a photo-electric converting part to a frame memory.

CONSTITUTION: At first, clear scanning is started beforehand to clear the charge of a photo-electric converting cell 10C. In the photo-electric converting cell 10C of a row, to which the clearing is finished, the accumulation of the charge based on incident light quantity is started. When a prescribed accumulating time passes, memory scanning is started. In this memory scanning, the accumulating charges of all the photo-electric converting cells 10C are transferred to a frame memory 15. Then, the reading scanning of an odd-number field is executed from a frame memory 16 and continuously the reading scanning of the even- number field is executed. Since the accumulating time of each row is continuously changed in such an operation mode, even concerning the moving subject, the still picture not be blurred can be obtained. (From: *Patent Abstracts of Japan*, Section: E, Section No. 931, Vol. 14, No. 241, Pg. 30, May 22, 1990)

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 3089880

503 P1262W000

拒絶引用S 03 P 1262W000

/

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 2 - 6 5 3 8 0

(43) 公開日 平成2年(1990)3月6日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H O 4 N	5/335	E		
H O 4 N	3/15			
			H O 4 N 5/335	E
			H O 4 N 3/15	

審査請求 有

(全 1 3 頁)

(21) 出願番号	特願昭63-216496	(71) 出願人	000000100 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	昭和63年(1988)8月31日	(72) 発明者	菅 章 神奈川県川崎市高津区下野毛770番地 キ ヤノン株式会社玉川事業所内
		(74) 代理人	田中 常雄

(54) 【発明の名称】 撮像装置

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

光電変換部の充電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する撮像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする撮像装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は電子シャッタ機能を有する撮像装置に関する。

〔従来の技術〕

近年、FGA（フローティング・ゲート・アレイ）型のエリア・センサが提案されている。第2図はその構成ブロック図を示す、10は多数の光電変換セルI OCがマトリクス状に位置する光電変換部であり、10■は垂直アドレスを指定する垂直アドレス線、I O3は、垂直アドレス線10Vで指定される行の光電変換セルの信号を読み出す信号続出線である。12は、光電変換部10の光電変換信号をリセットするリセット回路、14はクランプ回路、16はライン・メモリ、18は、ライン・メモリ16の記憶値を水平方向に順番に読み出すための出力信号線、20はライン・メモリ16から読み出すべき記憶位置を指定する水平続出用のシフト・レジスタ、22は、当該シフト・レジスタ20の出力により開閉されるスイッチ、24は高入力インピーダンスの出力バッファ、26は出力端子である。

28は、光電変換部10の垂直アドレス線10■を選択的に起動するアドレス・デコーダ、30は、垂直アドレス・データDVAに従い、アドレス・デコーダ28が起動する垂直アドレス線を指定するデコーダ駆動回路である。アドレス・デコーダ28は、続出やリセットを行う行の垂直アドレス線10vにφイを印加し、他の垂直アドレス線10vにφ、を印加する。32は結合用コンデンサである。

12Tはリセット用FET、14Tはクランプ用PET、16Tはクランプ回路14の出力をライン・メモリ16に読み込むためのスイン칭用FET、16Mはメモリ用コンデンサである。φ、はリセット回路12のリセット用FET12Tを制御するリセット・パルス、■えはクランプ電圧、φ、はクランプ・パルス、φ、HはFET16Tの開閉を制御するサンプル・ホールド用クロック、5TATHはシフト・レジスタ20を起動する起動パルス、φ、はシフト・レジスタ20に対するシフト・パルスである。

ライン・メモリ16及びクランプ回路14の部分は外光から遮蔽されている。

光電変換セルI OCの構成を第3図に、その動作タイミングを第4図に示す。34はクロックφ8°φLのパルス源であり、第2図のアドレス・デコーダ28に相当する。、36は受光素子としてのNチャンネルのジャンクションFETであり、そのゲートGはフローティングにな

っており、コンデンサ38を介して垂直アドレス線10Vに接続する。

FET36のドレインDは直流電源VDDに接続し、そのソースSは、リセット回路12のリセット用FET12Tに接続する。FET36のソースSが信号読出線10Sに接続する。第4図に示す時刻L1。

12間にパルス源34により垂直アドレス線10■がHになると、PE736のゲート・ドレイン接合が順方向にバイアスされ、コンデンサ38がプリチャージされる。その後、もしもFET36のゲート領域に光が入射していなければ、第4図のt2t1間ではFF!T36のゲートはフルに逆バイアスされた状態のままとなる（第4図の点wA）。ゲート領域に光が入射している場合には、光励起された電荷により、徐々にコンデンサ38が放電し、ゲート電位が上昇する（第4図の実線）、PE736のソース電位はゲート電位に追従して変化するので、信号続出線10Sでは入射光強度に応じた電圧が得られる。

第5図は第2図の撮像装置の撮像駆動タイミングを示す。水平ブランキング信号HBLKにより水平ブランキング期間が始まり、時刻1、には垂直アドレスDVAがデコーダ駆動回路30に印加される。

これにより、φ8が順次指定の垂直アドレス線10■に、φ、が他の垂直アドレス線10Vに印加される。時刻t1でφ、がLレベルになると、連係する光電変換セルI OCのPE736は全てオフになるので、指定の垂直アドレス線10■に接続する光電変換セルI OCの信号のみが信号続出線10Sに読み出される。（、～t2間ではクランプ・パルスφ、がHであり、サンプル・ホールド・パルスφ、HがHになっているので、ライン・メモリ16のコンデンサ16Mは基準電位■、にリセットされる。クランプ用FET14Tはt、で開放される。L4～L3間でクロックφ、がHになるとコンデンサ38はプリチャージされるが、その際、結合コンデンサ32に現れる電圧は光電変換セルI OCにおける光励起電圧による電荷量に比例した電圧になる。結合コンデンサ32のこの電圧は、t6～t、。

でφSHをHにすることによって、コンデンサ16Mに転送され、記憶される。

t、～L、では、蓄積時間制御のためのリセット動作を行っている。リセットする垂直ライン・アドレスをt、に指定し、t、。～t1+で指定ラインの電荷をリセットする。リセット動作から次にそのラインの信号を読み出すまでの時間が、電荷蓄積時間になる。時刻t13以後に水平シフト・レジスタ20をシフト・パルスφ、で駆動することにより、コンデンサ16Mの記憶信号が順次、出力信号線18上に転送され、バッファ24を介して出力端子26に出力される。

〔発明が解決しようとする課題〕

他方、最近、電子スチル・カメラが商用化されるにいた

り、そのカメラ部にも、上記F G A型エリア・センサのような撮像装置が使われるようになってきた。電子スチル・カメラでは、記録画像の画質を高めるために、画像信号のフレーム記録が可能であるが、上記の如き撮像装置の出力を奇フィールド及び偶フィールドとして磁気ディスクに記録する場合には、奇フィールドの光電変換時点と偶フィールドの光電変換時点とが1/60秒ずれているので、動く被写体の場合には、画像がフィールド毎にぶれてしまい、結局、良好なフレーム画が得られない。

そこで本発明は、動きのある被写体に対してもブレの少ないフレーム静止画を得ることのできる撮像装置を提示することを目的とする。

〔課題を解決するための手段〕

本発明に係る撮像装置は、光電変換部の光電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する撮像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする。

〔作用〕

上記メモリ手段がフレーム・メモリであり、光電変換部の光電変換信号を全部、一旦当該フレーム・メモリに格納することにより、奇フィールドと偶フィールドとで、撮影時刻差が実質的には生じないようにできる。従って、動きのある被写体に対しても、ブレの少ないフレーム静止画を得ることができる。

〔実施例〕

以下、図面を参照して本発明の詳細な説明する。

第1図は本発明の一実施例の構成ブロック図を示す。第2図と同じ構成要素には同じ符号を付しである。15は1フレーム分の記憶容量を持つフレーム・メモリであり、第2図のライン・メモリ16に代わるものである。15Tはクランプ回路14の出力をフレーム・メモリ15に読み込むためのスイッチング用FET、15Mはメモリ用コンデンサ、15Nはメモリ用コンデンサ15Mの書込及び続出用FETである。メモリ用コンデンサ15Mは光電変換部10の光電変換セルに対応して配備されており、垂直シフト・レジスタ15Sが書込又は読出を行うコンデンサ15Mを指定する。

5TATVは垂直シフト・レジスタ15Sを起動する起動パルス、φ7は垂直シフト・レジスタ15Vに対するシフト・パルスである。フレーム・メモリ16及びクランプ回路14の部分は外光から遮蔽されている。

第1図の撮像装置では、電源立ち上げ時に5TATVパルスを垂直シフト・レジスタ15Sに印加し、その後、クロックφ9を印加しなければ、フレーム・メモリ15の第1行のみが有効に作用する状態になる。つまり、フレーム・メモリ15はライン・メモリ16として機能する。この状態では、光電変換部10からの行単位の光電

変換信号はクランプ回路14を介して当該フレーム・メモリ16（の第1行のメモリ・セル）に一時的記憶され、水平シフト・レジスタ20の作用下に、水平続出線18上に順次読み出される。本明細書では、この動作をムービー・モードと呼ぶ。

第6図は上述のフレーム静止画記録を行う場合の奇フィールド信号及び偶フィールド信号を得る動作のシーケンスを示す。先ず、光電変換セル10Cの電荷をクリアするクリア走査が先行して開始される。クリアの終わったラインの光電変換セル10Cでは入射光量に基づく電荷の蓄積が開始され、所定の蓄積時間が経過すると、メモリ走査が開始される。このメモリ走査では、全光電変換セル10Cの蓄積電荷がフレーム・メモリ15に転送され、そして、フレーム・メモリ16から奇フィールドの続出走査、続いて偶フィールドの続出走査が行われる。この動作モードでは、各行の蓄積時刻が連続的に変化し、従来例のように行毎に1760秒の蓄積時刻差が生じないので、動きのある被写体についても、ブレの無い静止画像を得ることができる。この動作モードをスチル・モードと呼ぶ。

第7A図はクリア走査における第1図の撮像素子の駆動タイミングを示す。クリア・パルスφCをHにしておき、クリアするラインのアドレスを垂直アドレスDvAにセットし、φHをHにすることによって、指定ラインの全光電変換セル10Cの電荷がクリアされる。

第7B図はメモリ走査開始付近での第1図の撮像素子の駆動タイミングを示す。なお、図示時点では未だクリア走査が完了していないので、クリア走査とメモリ走査が交互に行われる。t₁にSTATVパルスを印加すると、垂直シフト・レジスタ15Sは、フレーム・メモリ15は第1行を指す値にリセットされ、垂直アドレス・ライン15Aにより第1行目のスイッチ・トランジスタ15Nが閉成される。これにより、t₄～t₃間で、光電変換部10の第1行目の光電変換セル10Cの蓄積電荷が、フレーム・メモリ15の第1行目のコンデンサ15Mに転送される。t₁以後、a7.1ラインのクリアを行っている間に、垂直シフト・レジスタ15Sに駆動クロックφ9を印加し、垂直シフト・レジスタ15Sをシフトさせる。これにより、フレーム・メモリ15の第2行目のスイッチ・トランジスタ15Nがオンになり、光電変換部10の第2行目のセル10Cの信号がフレーム・メモリ15の第2行目のコンデンサ15Mに転送される。このような動作を順次行うことにより、クリア走査とメモリ走査を交互に行う。

第7C図は、クリア走査が終了し、メモリ走査のみを状態での駆動タイミングを示す。各ラインの蓄積時間を一定に保つために、メモリ走査の走査速度は、クリア走査の走査速度と等しくなっている。t₁でメモリ走査は終了する。

第7D図は奇（ODD）フィールドの続出走査タイミン

グを示す。5TATVPルスの印加により、垂直シフト・レジスタ15Sがリセットされ、フレーム・メモリ15の第1行目のコンデンサ15Mの信号が読出可能になり、5TATHパルス及び駆動パルス ϕ 、を水平読出シフト・レジスタ20に印加することにより、出力端子26から順次出力される。次に垂直シフト・レジスタ15Sに駆動パルス ϕ 、を2個印加し、フレーム・メモリ15の第3行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の奇数行目の記憶値が読み出され、出力端子26から出力される。

第7E図は偶(EVEN)フィールドの読出の走査タイミングを示す。5TATVPルスにより垂直シフト・レジスタ15Sをリセットした後に、 ϕ 9を1個印加して、フレーム・メモリ15の第2行目の記憶値をアドレスするようにする。その状態で、5TATI(パルス及び駆動パルス ϕ 、を水平読出シフト・レジスタ20に印加し、水平方向に順次読出走査し、出力端子26から順次出力する。次に、垂直シフト・レジスタ15Sに駆動パルス ϕ 9を2個印加し、フレーム・メモリ15の第4行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の偶数行目の記憶値が読み出され、出力端子26から出力される。

この奇フィールド及び偶フィールドの読出走査の間、 ϕ 、HをLにしておくことにより、光電変換部10とフレーム・メモリ15とは信号的に切り離されており、従ってフレーム・メモリ15の記憶信号は光電変換部10への入射光の影響を受けない、また、バッファ24は高入力インピーダンスであるので、フレーム・メモリ15からは非破壊的に何回でも読出しを行える。

第8図は第1図の機能を有する固体撮像素子を用いた画像記録装置の構成ブロック図を示す、110は露光レンズ、112は絞り、113は測光センサ、114は第1図の固体撮像素子、116は撮像素子114の出力をビデオ信号に変換するためのビデオ信号処理回路、118はモニタ回路、120は映像モニタ装置、122はPM変調回路、124は記録アンプ、126は奇フィールド用スイッチ126Aと偶フィールド用スイッチ126Bの2系統の信号路を具備する記録ゲート回路、128は奇フィールドの記録トラックに信号を記録する磁気ヘッド、130は偶フィールドの記録トラックに信号を記録する磁気ヘッド、132は画像記録媒体としての磁気シート、134は磁気シート132を回転させるモータ、136はモータ134を制御するモータ駆動回路、138はシステム全体を制御するシステム制御回路、140は電源スイッチを兼用するスイッチ、142は記録を指示する記録スイッチ、144は電源回路、146はシステムの各部に必要なロック信号を供給するクロック発生回路、148は撮像素子124を駆動する駆動回路、

150は絞り112を駆動する絞り駆動回路である。シャッター・リリースの第1ストロークでスイッチ140が閉成し、第2ストロークでスイッチ142が閉成するようになっている。152はモータ134の回転が安定したことを示すモータ・サーボ・ロック信号である。

第9図は第8図の動作タイミングを示す。この実施例では、モータ134の回転の安定を待たずにシャッタ・リリース(より具体的には、スイッチ142を閉成)できる。シャッター・リリースにより時刻【。でスイッチ140が閉成されると、システムに電源が供給され、撮像素子114の駆動が開始される0時刻t、でスイッチ142が閉成されるまでは、撮像素子114はムービー・モードで駆動され、映像モニタ120には撮影画像が表示されると共に、測光センサ113により測光が行われる。時刻t、でスイッチ142が閉成されると、その時点で測光値に基づき絞り値及び撮像素子114の電荷蓄積時間が固定され、撮像素子114の駆動はスチル・モードに切り換わる。クリア走査及びメモリ走査が完了した時点でモータ136の回転が安定していない場合、 ϕ 、HはLのままであり、フレーム・メモリ16の読出走査は行われず、待機状態になる。モータ136の回転が安定し、モータ・サーボ・ロック信号152がHになると(時刻t、)、奇フィールドの読出走査が行われると同時に、ゲート・スイッチ126Aが閉成され、磁気シート132に信号が記録される。続いてt4~t、に偶フィールドの読出走査が行われ、これと同時にゲート・スイッチ126Bが閉成されて磁気シート132に信号が記録される。

この実施例では、クリア走査及びメモリ走査をインターレースで行っているため、奇フィールドと偶フィールドとで隣合うライン間でも、1/60秒の時刻ズレは発生しない。即ち、撮像素子114における電荷蓄積時刻が、垂直方向に連続的にわずかつづれていき、スチル・カメラにおける縦走りのフォーカル・プレーン・シャッタと同様の動作を実現できる。従って、動きのある被写体に対してもブレの無いフレーム静止画像を得ることができる。また、撮影した静止画像は遮光されたフレーム・メモリ15に記憶され、光電変換部10とは信号的に絶縁されているので、モータ134の回転の安定を待たずに、撮りたい画像を撮影でき、リリースのタイムラグを短縮できる。更には、光電変換部10のクリア走査とメモリ走査の速度は、従来例と異なり、1水子期間に1ライン・シフトする必要はなく、■ライン当たり5 μ s程度にまで速めることができ、フォーカル・プレーン・シャッタの走行時間に相当する時間は、5 μ s \times 500ライン=2.5ms程度であり、機械シャッタと同等又はそれ以下になっている。従って、動きのある被写体の変形を機械シャッタの場合と同程度又はそれ以下にすることができる。

第10図はカラー化した場合の本発明の一実施例の構成

ブロック図を示す。本実施例では、各光電変換セル I O C が 1 水平ライン毎に空間的に 1 8 0 0 位相をずらせた、所謂補間配置になっており、各光電変換セル I O C には第 1 1 図ここに示すようにカラー・フィルタが配置されている。R が赤フィルタ、G が緑フィルタ、B が青フィルタである。フレーム・メモリ 1 5 のメモリ用コンデンサ 1 5 M も光電変換セル I O C の補間配置に対応して配置されている。1 5 B は垂直シフト・レジスタ 1 5 S の出力を、奇フィールド (O) 又は偶フィールド (E) 走査に応じて切り換えるためのインターレース回路である。奇フィールドを選択するときには、インターレース回路 1 5 B の制御端子 E 1 0 に L を入力し、偶フィールドを選択するときには H を入力する。なお、この実施例では、垂直シフト・レジスタ 1 5 3 は第 1 図の場合に較べ、半分の段数でよい。

また、各色の光電変換信号を読み出すために、3 系統の回路を具備し、1 8 R、1 8 G、1 8 B は、フレーム・メモリ 1 5 0 指定行の記憶値を順番に読み出す出力信号線であり、それぞれ R 信号用、G 信号用、B 信号用である。2 0 R、2 0 G、

2 0 B はそれぞれ、フレーム・メモリ 1 5 から読み出すべき記憶値を指定する水平続出用のシフト・レジスタ、2 3 は、当 8 亥シフト・レジスタ 2 0 R、2 0 G、2 0 B の出力により開閉されるスイフチ、2 4 R、2 4 G、2 4 B は出力バノファ、2 6 A、2 6 B、2 6 C は出力端子である。5 T A T H はシフト・レジスタ 2 0 R、2 0 G、2 0 B を起動する起動パルス、 ϕ S A、 ϕ s a、 ϕ s c は、シフト・レジスタ 2 0 R、2 0 G、2 0 B に対するシフト・パルスである。

2 9 は光電変換部 1 0 の垂直アドレス線 1 0 ■の、隣接する 2 本を同時に起動するアドレス・デコーダ、3 1 は、垂直アドレス・データ D v に従い、アドレス・デコーダ 2 9 が起動する垂直アドレス線を指定するデコーダ駆動回路である。垂直アドレス・データ I) v a は例えば 9 ビットであり、その先頭ビットで奇フィールドか偶フィールドかを指定し、残りの 8 ビットで垂直アドレスを指定する。アドレス・デコーダ 2 9 は、詳細は後述するが、デコーダ駆動回路 3 0 からの偶/奇信号と上記垂直アドレスとによって決定される 2 本の垂直アドレス線 1 0 V に読出クロックを ϕ i を印加し、他の垂直アドレス線 1 0 V にクロック ϕ 1 を印加する。例えば、奇フィールドでは第 1 行目と第 2 行目、第 3 行目と第 4 行目、というように、また偶フィールドでは、第 2 行目と第 3 行目、第 4 行目と第 5 行目、というように、それぞれ 2 本の垂直アドレス線 1 0 V に同時に続出クロックを印加する。

なお、インターレース回路 1 5 B は、奇フィールド及び偶フィールドでのアドレス・デコーダ 2 9 と同様に、2 本の垂直アドレス線 1 5 A を同時に起動する。

第 1 2 図は第 1 0 図の撮像素子をスチル・モードで駆動

する際のシーケンスを示す。上述の如く、光電変換セル I O C は隣接する 2 行が同時にアドレスされるので、クリア走査及びメモリ走査も 2 行ずつ行われる。第 1 2 図の例では、奇フィールドのモードでクリア走査及びメモリ走査が行われている。クリア走査及びメモリ走査は 2 行ずつ行われるので、第 6 図の場合と比較して 1/2 の時間で終了する。メモリ走査終了後、フレーム・メモリ 1 5 の読出走査を行い、奇フィールド及び偶フィールドの順に読み出す。

10 第 1 3 A 図は、クリア走査開始付近の駆動タイミングを示す。隣接する 2 行が同時にクリアされること以外は、第 7 A 図と同様である。アドレス DMA のライン番号に付加した (O) は、奇フィールドのモードであることを示す。

第 1 3 B 図はメモリ走査の開始付近及びクリア走査の終了付近の駆動タイミングを示す。フレーム・メモリ 1 5 の走査を奇モードで行うために、インターレース回路 1 5 B の制御端子 E 1 0 に L をセットする。メモリ走査も 2 行ずつが同時に行われる。第 1 3 C 図はメモリ走査終了付近の駆動タイミングを示し、第 1 3 D 図は奇フィールドのフレーム・メモリ 1 5 の読出走査における駆動タイミングを示す。第 1 3 D 図で、フレーム・メモリ 1 5 の 1 行目と 2 行目、3 行目と 4 行目、というように 2 行ずつが R、G、B に対応する 3 出力に振り分けて出力される。 ϕ 9 は 1 水平走査期間に 1 個印加される点が、第 7 D 図とは異なる。また、インターレース回路 1 5 B の制御端子 E 1 0 には L がセットされている。

第 1 3 E 図は偶フィールドのフレーム・メモリ 1 5 の読出走査における駆動タイミングを示す。インターレース回路 1 5 B の制御端子 E 1 0 には H がセットされ、2 行目と 3 行目、4 行目と 5 行目、というように 2 行の信号が読み出される。

第 1 4 図は水平走査タイミングの開始付近のタイミング図である。シフト・レジスタ 2 0 R、2 0 G、2 0 B に始動パルス 5 T A T H が印加された後、シフト・パルス ϕ R、 ϕ 8 M、 ϕ C が 1 2 0 6 位相をずらして各シフト・レジスタ 2 0 R、2 0 G、2 0 B に印加される。これにより F E T 2 3 は 1/3 デューティ・サイクルで閉成状態になる。今 n 行目と (r + 1) 行目が読み出されているとし、n 行目の m 列目の出力を (n, m) で表現すると、2 ライン分の信号は、第 1 4 図のタイミングで出力端子 2 6 A、

2 6 B、2 6 C (電圧 V o +、V o z、V O 3) に分けられる。尚、v o i ■。2 及び V (1 1 を加算すると、補間画素配列により 1 ラインの倍の水平解像度を持つ広帯域の輝度信号を取り出すことができる。

第 1 5 図は輝度信号における走査順序を示す、フレーム・メモリ 1 5 の記憶情報が非破壊であることを利用して、奇フィールド及び偶フィールド共に、全画素情報を用いて広帯域の輝度信号を形成できる。

また、静止画を記録する場合、片方のフィールドだけを記録するフィールド記録では、隣接する 2 行の信号を撮像素子内で加算して記録する例が多く、両フィールドを記録するフレーム記録とは感度が異なっていた。従って、従来はフィールド記録とフレーム記録とでは測光の際のゲインを変更しなければならなかったが、本実施例では、どちらでも感度が等しくなっているので、そのような変更操作は不要である。

次に第 10 図の撮像素子をムービー・モードで駆動する場合を説明する。電源投入後に、垂直シフト・レジスタ 153 に始動パルス 5 T A T V を印加してリセットする。これによりフレーム・メモリ 15 の 1 行目と 2 行目がアドレスされる。フレーム・メモリ 15 をライン・メモリとして機能させるために、駆動クロック $\phi 7$ は印加しない。また、インターレース回路 15 B の制御単位 E 10 に L をセットすれば、1 行目と 2 行目でライン・メモリを構成し、H をセントすれば 2 行目と 3 行目でライン・メモリを構成することになる。どちらでも動作は同じである。この状態で第 5 図と同様に動作させることにより、ムービー・モードでの動作になる。但し続出ライン・アドレス D V A の設定をフィールド毎に切り換えることにより、フィールド毎に 1 行ずれた 2 行の信号が同時に読み出され、インターレース画像を得ることができる。

本実施例によれば、比較的少ない画素数、例えば水平 600、垂直 500 画素程度の撮像素子で、水平 480 T V 本、垂直 350 本程度の高解像度のフレーム静止画を得ることができる。また、フィールド記録とフレーム記録とで同じ感度でよいので、測光系のゲインを切り換える必要がなくなり、回路構成を簡単化できる。更には、クリア走査及びメモリ走査を 2 行ずつ行うので、第 1 図の実施例に較べ、フォーカル・プレーン・シャフタの走行時間に相当する時間を更に 1/2 に短縮でき、動きの速い被写体の変形が更に小さくなる。

【発明の効果】

以上の説明から容易に理解できるように、本発明によれば、動きのある被写体に対してもブレの無いフレーム静止画を得ることができる。また、電子スチル・カメラに適用する場合には、記録媒体回転モータの回転の安定化を待たずに、撮影を行い、撮影画像を撮像手段のフレーム・メモリに保存できるので、レリーズのタイム・ラグを大幅に短縮できる。

【図面の簡単な説明】

第 1 図は本発明の一実施例の構成ブロック図、第 2 図は従来例の構成ブロック図、第 3 図は第 2 図の光電変換セル I O c の詳細図、第 4 図は光電変換セル I O C の動作波形図、第 5 図は第 2 図の駆動タイミング図、第 6 図は第 1 図の撮像素子のスチル・モードでの動作タイミング図、第 7 A 図、第 7 B 図、第 7 C 図、第 7 D 図及び第 7 E 図は第 6 図のより詳細なタイミング図、第 8 図は電子

スチル・カメラの構成ブロック図、第 9 図は第 8 図の動作タイミング図、第 10 図は本発明の第 2 の実施例の構成ブロック図、第 11 図は第 10 図の色フィルタの配置図、第 12 図は第 10 図の撮像素子の動作タイミング図、第 13 A 図、第 13 B 図、第 13 C 図、第 13 D 図及び第 13 E 図は第 12 図のより詳細な駆動タイミング図、第 14 図は第 10 図の水平走査タイミング図、第 15 図は第 10 図の撮像素子での、輝度信号の走査順序図である。

10 1○-光電変換部 10 C-光電変換セル 10■-
-垂直アドレス! l a 1 o s-信号読出線 12
...リセット回路、14-ークランプ回路 15-
・フレーム・メモリ 15 S-垂直シフト・レジスタ 1
8、18 R、18 G、18 B- -出力信号線 20、2
OR、20 G、20 B- -水平シフト・レジスタ 24
, 24 R、24 G、24 B- -出力バッファ 26、
26 A、26 B、26 C- -出力端子 32- -結
合用コンデンサ

第

20 2

図

第 11 図

第

図

第

図

(1)

r l r i m u u C u r l R r a p t a k r (r 3 2

30 5

4

5

6

第

7 B 図

クツ η 1

凭り) しづ [

~:、J J L (O D D)

j 風 (E v E t v)

40 第

図

1

第 7 C 図

(1) S T A T V M

(1) S T A T V M

t .

1

z

t う

50 4

5
第
図

(2) ϕLM
クリIB (oop)

1
MLL (ooo) fd、 LL (opo) 象鍼-1 (
 ε 爪)

第

2

10

図

第13A図

4

f

第138図

6

(1) 5TArv s、]

第13E図

(1) 5TAry H

(1) STATH

20

第14図

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-65380

⑬ Int. Cl.⁵H 04 N 5/335
3/15

識別記号

E.

庁内整理番号

8838-5C
7605-5C

⑭ 公開 平成2年(1990)3月6日

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 撮像装置

⑯ 特 願 昭63-216496

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 菅

章

神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内

⑲ 出 願 人 キヤノン株式会社

東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 田中 常雄

明 細 書

1. 発明の名称

撮像装置

2. 特許請求の範囲

光電変換部の光電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する撮像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は電子シャッタ機能を有する撮像装置に関する。

(従来の技術)

近年、FGA(フローティング・ゲート・アレイ)型のエリア・センサが提案されている。第2図はその構成ブロック図を示す。10は多数の光電変換セル10Cがマトリクス状に位置する光電変換部であり、10Vは垂直アドレスを指定する

垂直アドレス線、10Sは、垂直アドレス線10Vで指定される行の光電変換セルの信号を読み出す信号読出線である。12は、光電変換部10の光電変換信号をリセットするリセット回路、14はクランプ回路、16はライン・メモリ、18は、ライン・メモリ16の記憶値を水平方向に順番に読み出すための出力信号線、20はライン・メモリ16から読み出すべき記憶位置を指定する水平読出用のシフト・レジスタ、22は、当該シフト・レジスタ20の出力により開閉されるスイッチ、24は高入力インピーダンスの出力バッファ、26は出力端子である。

28は、光電変換部10の垂直アドレス線10Vを選択的に起動するアドレス・デコード、30は、垂直アドレス・データD_vに従い、アドレス・デコード28が起動する垂直アドレス線を指定するデコード駆動回路である。アドレス・デコード28は、読出リセットを行う行の垂直アドレス線10Vにφ_rを印加し、他の垂直アドレス線10Vにφ_rを印加する。32は結合用コンデン

特開平2-65380(2)

サである。

12Tはリセット用FET、14Tはクランプ用FET、16Tはクランプ回路14の出力をライン・メモリ16に読み込むためのスイッチング用FET、16Mはメモリ用コンデンサである。 ϕ_1 はリセット回路12のリセット用FET 12Tを制御するリセット・パルス、 V_{cl} はクランプ電圧、 ϕ_c はクランプ・パルス、 ϕ_{ss} はFET 16Tの開閉を制御するサンプル・ホールド用クロック、STATBはシフト・レジスタ20を起動する起動パルス、 ϕ_s はシフト・レジスタ20に対するシフト・パルスである。

ライン・メモリ16及びクランプ回路14の部分は外光から遮蔽されている。

光電変換セル10Cの構成を第3図に、その動作タイミングを第4図に示す。34はクロック ϕ_{ss} 、 ϕ_1 のパルス源であり、第2図のアドレス・デコード28に相当する。36は受光素子としてのNチャンネルのジャンクションFETであり、そのゲートGはフローティングになっており、コンデン

サ38を介して垂直アドレス線10Vに接続する。FET 36のドレインDは直流電源 V_{DD} に接続し、そのソースSは、リセット回路12のリセット用FET 12Tに接続する。FET 36のソースSが信号読出線10Sに接続する。第4図に示す時刻 t_1 、 t_2 間にパルス源34により垂直アドレス線10VがHになると、FET 36のゲート・ドレイン接合が順方向にバイアスされ、コンデンサ38がプリチャージされる。その後、もしもFET 36のゲート領域に光が入射していなければ、第4図の t_1 、 t_2 間ではFET 36のゲートはフルに逆バイアスされた状態のままとなる(第4図の点線)。ゲート領域に光が入射している場合には、光励起された電荷により、徐々にコンデンサ38が放電し、ゲート電位が上昇する(第4図の実線)。FET 36のソース電位はゲート電位に追従して変化するので、信号読出線10Sでは入射光強度に応じた電圧が得られる。

第5図は第2図の撮像装置の撮像駆動タイミングを示す。水平ブランキング信号HBLKにより水平

ブランキング期間が始まり、時刻 t_1 には垂直アドレス D_{va} がデコード駆動回路30に印加される。これにより、 ϕ_1 が順次指定の垂直アドレス線10Vに、 ϕ_c が他の垂直アドレス線10Vに印加される。時刻 t_2 で ϕ_1 がLレベルになると、連絡する光電変換セル10CのFET 36は全てオフになるので、指定の垂直アドレス線10Vに接続する光電変換セル10Cの信号のみが信号読出線10Sに読み出される。 $t_1 \sim t_2$ 間ではクランプ・パルス ϕ_c がHであり、サンプル・ホールド・パルス ϕ_{ss} がHになっているので、ライン・メモリ16のコンデンサ16Mは基準電位 V_{ss} にリセットされる。クランプ用FET 14Tは t_2 で開放される。 $t_1 \sim t_2$ 間でクロック ϕ_{ss} がHになるとコンデンサ38はプリチャージされるが、その際、結合コンデンサ32に現れる電圧は光電変換セル10Cにおける光励起電圧による電荷量に比例した電圧になる。結合コンデンサ32のこの電圧は、 $t_1 \sim t_2$ で ϕ_{ss} をHにすることによって、コンデンサ16Mに転送され、記憶される。

$t_1 \sim t_2$ では、蓄積時間制御のためのリセット動作を行っている。リセットする垂直ライン・アドレスを t_1 に指定し、 $t_1 \sim t_2$ で指定ラインの電荷をリセットする。リセット動作から次にそのラインの信号を読み出すまでの時間が、電荷蓄積時間になる。時刻 t_2 以後に水平シフト・レジスタ20をシフト・パルス ϕ_s で駆動することにより、コンデンサ16Mの記憶信号が順次、出力信号線18上に転送され、バッファ24を介して出力端子26に出力される。

(発明が解決しようとする課題)

他方、最近、電子スチル・カメラが商用化されるにいたり、そのカメラ部にも、上記PGA型エリア・センサのような撮像装置が使われるようになってきた。電子スチル・カメラでは、記録画像の画質を高めるために、画像信号のフレーム記録が可能であるが、上記の如き撮像装置の出力を奇フィールド及び偶フィールドとして磁気ディスクに記録する場合には、奇フィールドの光電変換時点と偶フィールドの光電変換時点とが1/60秒ず

特開平2-65380(3)

れているので、動く被写体の場合には、画像がフィールド毎にぶれてしまい、結局、良好なフレーム画が得られない。

そこで本発明は、動きのある被写体に対してもブレの少ないフレーム静止画を得ることのできる撮像装置を提示することを目的とする。

(課題を解決するための手段)

本発明に係る撮像装置は、光電変換部の光電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する撮像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする。

(作用)

上記メモリ手段がフレーム・メモリであり、光電変換部の光電変換信号を全部、一旦当該フレーム・メモリに格納することにより、奇フィールドと偶フィールドとで、撮影時刻差が実質的には生じないようにできる。従って、動きのある被写体に対しても、ブレの少ないフレーム静止画を得る

ことができる。

(実施例)

以下、図面を参照して本発明の実施例を説明する。

第1図は本発明の一実施例の構成ブロック図を示す。第2図と同じ構成要素には同じ符号を付してある。15は1フレーム分の記憶容量を持つフレーム・メモリであり、第2図のライン・メモリ16に代わるものである。15Tはクランプ回路14の出力をフレーム・メモリ15に読み込むためのスイッチング用FET、15Mはメモリ用コンデンサ、15Nはメモリ用コンデンサ15Mの書き込み及び読出用FETである。メモリ用コンデンサ15Mは光電変換部10の光電変換セルに対応して配備されており、垂直シフト・レジスタ15Sが書き込み又は読出を行うコンデンサ15Mを指定する。STATVは垂直シフト・レジスタ15Sを起動する起動パルス、 ϕ_v は垂直シフト・レジスタ15Vに対するシフト・パルスである。フレーム・メモリ16及びクランプ回路14の部分は外光から遮

蔽されている。

第1図の撮像装置では、電源立ち上げ時にSTATVパルスを垂直シフト・レジスタ15Sに印加し、その後、クロック ϕ を印加しなければ、フレーム・メモリ15の第1行のみが有効に作用する状態になる。つまり、フレーム・メモリ15はライン・メモリ16として機能する。この状態では、光電変換部10からの行単位の光電変換信号はクランプ回路14を介して当該フレーム・メモリ16(の第1行のメモリ・セル)に一時記憶され、水平シフト・レジスタ20の作用下に、水平読出线18上に順次読み出される。本明細書では、この動作をムービー・モードと呼ぶ。

第6図は上述のフレーム静止画記録を行う場合の奇フィールド信号及び偶フィールド信号を得る動作のシーケンスを示す。先ず、光電変換セル10Cの電荷をクリアするクリア走査が先行して開始される。クリアの終わったラインの光電変換セル10Cでは入射光量に基づく電荷の蓄積が開始され、所定の蓄積時間が経過すると、メモリ走査

が開始される。このメモリ走査では、全光電変換セル10Cの蓄積電荷がフレーム・メモリ15に転送され、そして、フレーム・メモリ16から奇フィールドの読出走査、続いて偶フィールドの読出走査が行われる。この動作モードでは、各行の蓄積時刻が連続的に変化し、従来例のように行毎に1/60秒の蓄積時刻差が生じないので、動きのある被写体についても、ブレの無い静止画を得ることができる。この動作モードをスチル・モードと呼ぶ。

第7A図はクリア走査における第1図の撮像素子の駆動タイミングを示す。クリア・パルス ϕ_c をHにしておき、クリアするラインのアドレスを垂直アドレスD₀にセットし、 ϕ_v をHにすることによって、指定ラインの全光電変換セル10Cの電荷がクリアされる。

第7B図はメモリ走査開始付近での第1図の撮像素子の駆動タイミングを示す。なお、図示時点では未だクリア走査が完了していないので、クリア走査とメモリ走査が交互に行われる。t₁にST

特開平2-65380 (4)

ATV パルスを印加すると、垂直シフト・レジスタ15Sは、フレーム・メモリ15は第1行を指す値にリセットされ、垂直アドレス・ライン15Aにより第1行目のスイッチ・トランジスタ15Nが閉成される。これにより、 $t_1 \sim t_2$ 間で、光電変換部10の第1行目の光電変換セル10Cの蓄積電荷が、フレーム・メモリ15の第1行目のコンデンサ15Mに転送される。 t_2 以後、 $t_3 \sim t_4$ ラインのクリアを行っている間に、垂直シフト・レジスタ15Sに駆動クロック ϕ_v を印加し、垂直シフト・レジスタ15Sをシフトさせる。これにより、フレーム・メモリ15の第2行目のスイッチ・トランジスタ15Nがオンになり、光電変換部10の第2行目のセル10Cの信号がフレーム・メモリ15の第2行目のコンデンサ15Mに転送される。このような動作を順次行うことにより、クリア走査とメモリ走査を交互に行う。

第7C図は、クリア走査が終了し、メモリ走査のみを状態での駆動タイミングを示す。各ラインの蓄積時間を一定に保つために、メモリ走査の走

査速度は、クリア走査の走査速度と等しくなっている。 t_4 でメモリ走査は終了する。

第7D図は奇(ODD)フィールドの読出走査タイミングを示す。STATV パルスの印加により、垂直シフト・レジスタ15Sがリセットされ、フレーム・メモリ15の第1行目のコンデンサ15Mの信号が読出可能になり、STATB パルス及び駆動パルス ϕ_h を水平読出シフト・レジスタ20に印加することにより、出力端子26から順次出力される。次に垂直シフト・レジスタ15Sに駆動パルス ϕ_v を2個印加し、フレーム・メモリ15の第3行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の奇数行目の記憶値が読み出され、出力端子26から出力される。

第7E図は偶(EVEN)フィールドの読出の走査タイミングを示す。STATV パルスにより垂直シフト・レジスタ15Sをリセットした後に、 ϕ_v を1個印加して、フレーム・メモリ15の第2行目の記憶値をアドレスするようにする。その状態で、

STATB パルス及び駆動パルス ϕ_h を水平読出シフト・レジスタ20に印加し、水平方向に順次読出走査し、出力端子26から順次出力する。次に、垂直シフト・レジスタ15Sに駆動パルス ϕ_v を2個印加し、フレーム・メモリ15の第4行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の偶数行目の記憶値が読み出され、出力端子26から出力される。

この奇フィールド及び偶フィールドの読出走査の間、 ϕ_{ss} を1にしておくことにより、光電変換部10とフレーム・メモリ15とは信号的に切り離されており、従ってフレーム・メモリ15の記憶信号は光電変換部10への入射光の影響を受けない。また、バッファ24は高入力インピーダンスであるので、フレーム・メモリ15からは非破壊的に何回でも読出しを行える。

第8図は第1図の機能を有する固体撮像素子を用いた画像記録装置の構成ブロック図を示す。110は撮影レンズ、112は絞り、113は測光

センサ、114は第1図の固体撮像素子、116は撮像素子114の出力をビデオ信号に変換するためのビデオ信号処理回路、118はモニタ回路、120は映像モニタ装置、122はFM変調回路、124は記録アンプ、126は奇フィールド用スイッチ126Aと偶フィールド用スイッチ126Bの2系統の信号路を具備する記録ゲート回路、128は奇フィールドの記録トラックに信号を記録する磁気ヘッド、130は偶フィールドの記録トラックに信号を記録する磁気ヘッド、132は画像記録媒体としての磁気シート、134は磁気シート132を回転させるモータ、136はモータ134を制御するモータ駆動回路、138はシステム全体を制御するシステム制御回路、140は電源スイッチを兼用するスイッチ、142は記録を指示する記録スイッチ、144は電源回路、146はシステムの各部に必要なクロック信号を供給するクロック発生回路、148は撮像素子124を駆動する駆動回路、150は絞り112を駆動する絞り駆動回路である。シャッター・レリー

特開平2-65380(5)

ズの第1ストロークでスイッチ140が閉成し、第2ストロークでスイッチ142が閉成するようになっている。152はモータ134の回転が安定したことを示すモータ・サーボ・ロック信号である。

第9図は第8図の動作タイミングを示す。この実施例では、モータ134の回転の安定を待たずにシャッター・レリーズ（より具体的には、スイッチ142を閉成）できる。シャッター・レリーズにより時刻 t_0 でスイッチ140が閉成されると、システムに電源が供給され、撮像素子114の駆動が開始される。時刻 t_1 でスイッチ142が閉成されるまでは、撮像素子114はムービー・モードで駆動され、映像モニタ120には撮影画像が表示されると共に、測光センサ113により測光が行われる。時刻 t_2 でスイッチ142が閉成されると、その時点で測光値に基づき絞り値及び撮像素子114の電荷蓄積時間が固定され、撮像素子114の駆動はスチル・モードに切り換わる。クリア走査及びメモリ走査が完了した時点でモータ

136の回転が安定していない場合、 Φ_{SL} はLのままであり、フレーム・メモリ15の読出走査は行われず、待機状態になる。モータ136の回転が安定し、モータ・サーボ・ロック信号152がHになると（時刻 t_3 ）、奇フィールドの読出走査が行われると同時に、ゲート・スイッチ126Aが閉成され、磁気シート132に信号が記録される。続いて $t_4 \sim t_5$ に偶フィールドの読出走査が行われ、これと同時にゲート・スイッチ126Bが閉成されて磁気シート132に信号が記録される。

この実施例では、クリア走査及びメモリ走査をインターレースで行っているため、奇フィールドと偶フィールドとで隣合うライン間でも、1/60秒の時刻ズレは発生しない。即ち、撮像素子114における電荷蓄積時刻が、垂直方向に連続的にわずかづつずれていき、スチル・カメラにおける縦走りのフォーカル・プレーン・シャッターと同様の動作を実現できる。従って、動きのある被写体に対してもブレの無いフレーム静止画像を得ることができる。また、撮影した静止画像は測光され

たフレーム・メモリ15に記憶され、光電変換部10とは信号的に絶縁されているので、モータ134の回転の安定を待たずに、撮りたい画像を撮影でき、レリーズのタイムラグを短縮できる。更には、光電変換部10のクリア走査とメモリ走査の速度は、従来例と異なり、1水平期間に1ライン・シフトする必要はなく、1ライン当たり5 μ s程度にまで速めることができ、フォーカル・プレーン・シャッターの走行時間に相当する時間は、5 μ s \times 500ライン=2.5ms程度であり、機械シャッターと同等又はそれ以下になっている。従って、動きのある被写体の変形を機械シャッターの場合と同程度又はそれ以下にすることができる。

第10図はカラー化した場合の本発明の一実施例の構成ブロック図を示す。本実施例では、各光電変換セル10Cが1水平ライン毎に空間的に180°位相をずらせた、所謂補間配置になっており、各光電変換セル10Cには第11図に示すようにカラー・フィルタが配置されている。Rが赤フィルタ、Gが緑フィルタ、Bが青フィルタである。フ

レーム・メモリ15のメモリ用コンデンサ15Mも光電変換セル10Cの補間配置に対応して配置されている。15Bは垂直シフト・レジスタ15Sの出力を、奇フィールド(O)又は偶フィールド(E)走査に応じて切り換えるためのインターレース回路である。奇フィールドを選択するときには、インターレース回路15Bの制御端子E/OにLを入力し、偶フィールドを選択するときにはHを入力する。なお、この実施例では、垂直シフト・レジスタ15Sは第1図の場合に比べ、半分の段数でよい。

また、各色の光電変換信号を読み出すために、3系統の回路を具備し、18R、18G、18Bは、フレーム・メモリ15の指定行の記憶値を順番に読み出す出力信号線であり、それぞれR信号用、G信号用、B信号用である。20R、20G、20Bはそれぞれ、フレーム・メモリ15から読み出すべき記憶値を指定する水平読出用のシフト・レジスタ、23は、当該シフト・レジスタ20R、20G、20Bの出力により開閉されるスイ

特開平2-65380 (6)

ッチ、24R、24G、24Bは出力バッファ、26A、26B、26Cは出力端子である。STATはシフト・レジスタ20R、20G、20Bを起動する起動パルス、 ϕ_{sa} 、 ϕ_{sb} 、 ϕ_{sc} は、シフト・レジスタ20R、20G、20Bに対するシフト・パルスである。

29は光電変換部10の垂直アドレス線10Vの、隣接する2本を同時に起動するアドレス・デコード、31は、垂直アドレス・データD_vに従い、アドレス・デコード29が起動する垂直アドレス線を指定するデコード駆動回路である。垂直アドレス・データD_vは例えば9ビットであり、その先頭ビットで奇フィールドか偶フィールドかを指定し、残りの8ビットで垂直アドレスを指定する。アドレス・デコード29は、詳細は後述するが、デコード駆動回路30からの偶/奇信号と上記垂直アドレスとによって決定される2本の垂直アドレス線10Vに読出クロックを ϕ_r を印加し、他の垂直アドレス線10Vにクロック ϕ_c を印加する。例えば、奇フィールドでは第1行目と

第2行目、第3行目と第4行目、というように、また偶フィールドでは、第2行目と第3行目、第4行目と第5行目、というように、それぞれ2本の垂直アドレス線10Vに同時に読出クロックを印加する。

なお、インターレース回路15Bは、奇フィールド及び偶フィールドでのアドレス・デコード29と同様に、2本の垂直アドレス線15Aを同時に起動する。

第12図は第10図の撮像素子をスチル・モードで駆動する際のシーケンスを示す。上述の如く、光電変換セル10Cは隣接する2行が同時にアドレスされるので、クリア走査及びメモリ走査も2行ずつ行われる。第12図の例では、奇フィールドのモードでクリア走査及びメモリ走査が行われている。クリア走査及びメモリ走査は2行ずつ行われるので、第6図の場合と比較して1/2の時間で終了する。メモリ走査終了後、フレーム・メモリ15の読出走査を行い、奇フィールド及び偶フィールドの順に読み出す。

第13A図は、クリア走査開始付近の駆動タイミングを示す。隣接する2行が同時にクリアされること以外は、第7A図と同様である。アドレスD_vのライン番号に付加した(0)は、奇フィールドのモードであることを示す。

第13B図はメモリ走査の開始付近及びクリア走査の終了付近の駆動タイミングを示す。フレーム・メモリ15の走査を奇モードで行うために、インターレース回路15Bの制御端子E/OにLをセットする。メモリ走査も2行ずつが同時に行われる。第13C図はメモリ走査終了付近の駆動タイミングを示し、第13D図は奇フィールドのフレーム・メモリ15の読出走査における駆動タイミングを示す。第13D図で、フレーム・メモリ15の1行目と2行目、3行目と4行目、というように2行ずつがR、G、Bに対応する3出力に振り分けて出力される。 ϕ_v は1水平走査期間に1個印加される点が、第7D図とは異なる。また、インターレース回路15Bの制御端子E/OにはLがセットされている。

第13E図は偶フィールドのフレーム・メモリ15の読出走査における駆動タイミングを示す。インターレース回路15Bの制御端子E/OにはHがセットされ、2行目と3行目、4行目と5行目、というように2行の信号が読み出される。

第14図は水平走査タイミングの開始付近のタイミング図である。シフト・レジスタ20R、20G、20Bに始動パルスSTAT_Hが印加された後、シフト・パルス ϕ_{sa} 、 ϕ_{sb} 、 ϕ_{sc} が120°位相をずらして各シフト・レジスタ20R、20G、20Bに印加される。これによりPET23は1/3デューティ・サイクルで閉成状態になる。今n行目と(n+1)行目が読み出されているとし、n行目のm列目の出力を(n,m)で表現すると、2ライン分の信号は、第14図のタイミングで出力端子26A、26B、26C(電圧V_{o1}、V_{o2}、V_{o3})に分けられる。尚、V_{o1}、V_{o2}及びV_{o3}を加算すると、補間画素配列により1ラインの倍の水平解像度を持つ広帯域の輝度信号を取り出すことができる。第15図は輝度信号における走査順序を示す。フレ

特開平2-65380(7)

ーム・メモリ15の記憶情報が非破壊であることを利用して、奇フィールド及び偶フィールド共に、全画素情報を用いて広帯域の輝度信号を形成できる。

また、静止画を記録する場合、片方のフィールドだけを記録するフィールド記録では、隣接する2行の信号を撮像素子内で加算して記録する例が多く、両フィールドを記録するフレーム記録とは感度が異なっていた。従って、従来はフィールド記録とフレーム記録とでは測光の際のゲインを変更しなければならなかったが、本実施例では、どちらでも感度が等しくなっているので、そのような変更操作は不要である。

次に第10図の撮像素子をムービー・モードで駆動する場合を説明する。電源投入後に、垂直シフト・レジスタ15Sに始動パルスSTATVを印加してリセットする。これによりフレーム・メモリ15の1行目と2行目がアドレスされる。フレーム・メモリ15をライン・メモリとして機能させるために、駆動クロックφ₁は印加しない。また、

インターレース回路15Bの制御単位E/Oにしをセットすれば、1行目と2行目でライン・メモリを構成し、Hをセットすれば2行目と3行目でライン・メモリを構成することになる。どちらでも動作は同じである。この状態で第5図と同様に動作させることにより、ムービー・モードでの動作になる。但し読出ライン・アドレスD_{VA}の設定をフィールド毎に切り換えることにより、フィールド毎に1行ずれた2行の信号が同時に読み出され、インターレース画像を得ることができる。

本実施例によれば、比較的少ない画素数、例えば水平600、垂直500画素程度の撮像素子で、水平480TV本、垂直350本程度の高解像度のフレーム静止画を得ることができる。また、フィールド記録とフレーム記録とで同じ感度でよいので、測光系のゲインを切り換える必要がなくなり、回路構成を簡化できる。更には、クリア走査及びメモリ走査を2行ずつ行うので、第1図の実施例に較べ、フォーカル・プレーン・シャッタの走行時間に相当する時間を更に1/2に短縮でき、動き

の速い被写体の変形が更に小さくなる。

(発明の効果)

以上の説明から容易に理解できるように、本発明によれば、動きのある被写体に対してもブレの無いフレーム静止画を得ることができる。また、電子スチル・カメラに適用する場合には、記録媒体回転モータの回転の安定化を待たずに、撮影を行い、撮影画像を撮像手段のフレーム・メモリに保存できるので、リリースのタイム・ラグを大幅に短縮できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成ブロック図、第2図は従来例の構成ブロック図、第3図は第2図の光電変換セル10Cの詳細図、第4図は光電変換セル10Cの動作波形図、第5図は第2図の駆動タイミング図、第6図は第1図の撮像素子のスチル・モードでの動作タイミング図、第7A図、第7B図、第7C図、第7D図及び第7E図は第6図のより詳細なタイミング図、第8図は電子スチル・カメラの構成ブロック図、第9図は第8図

の動作タイミング図、第10図は本発明の第2の実施例の構成ブロック図、第11図は第10図の色フィルタの配置図、第12図は第10図の撮像素子の動作タイミング図、第13A図、第13B図、第13C図、第13D図及び第13E図は第12図のより詳細な駆動タイミング図、第14図は第10図の水平走査タイミング図、第15図は第10図の撮像素子での、輝度信号の走査順序図である。

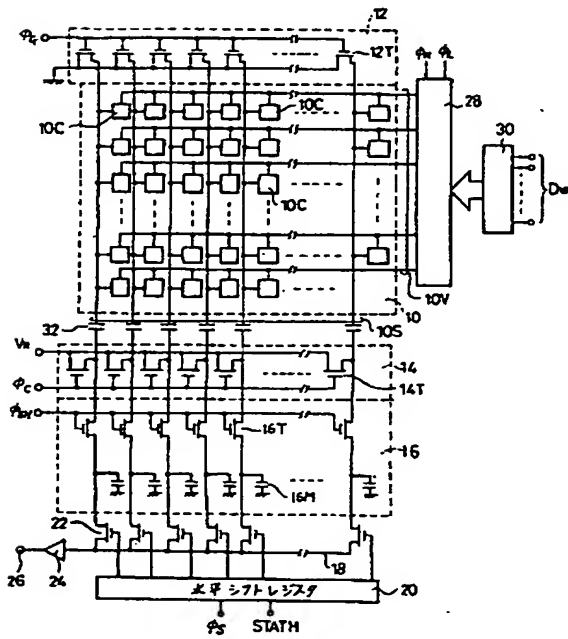
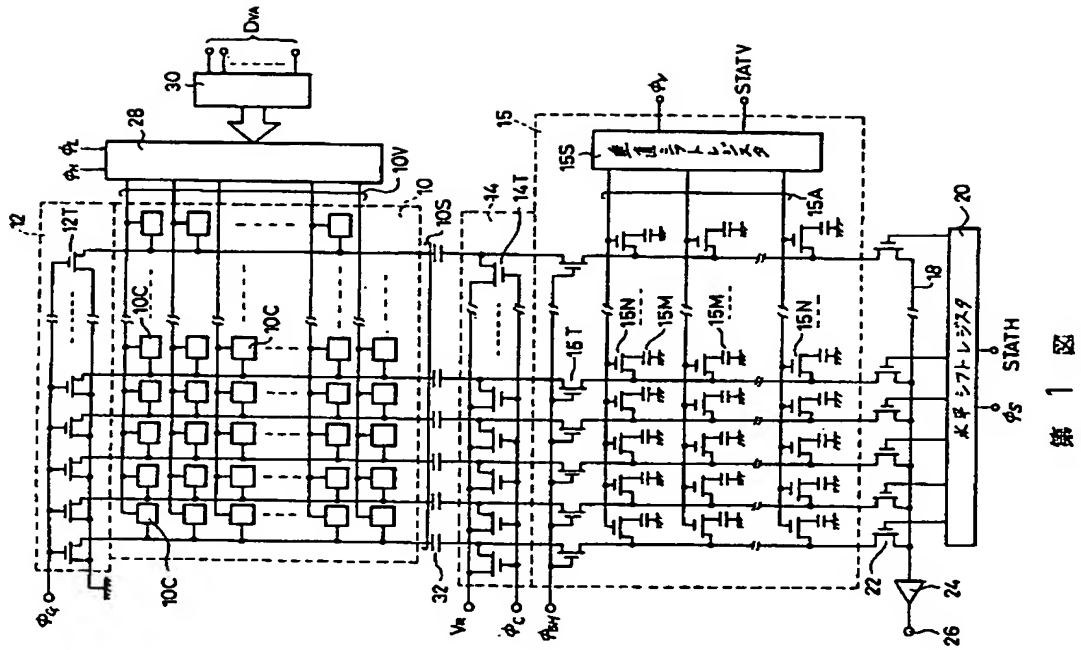
10—光電変換部 10C—光電変換セル 10V—垂直アドレス線 10S—信号読出線 12—リセット回路、14—クランプ回路 15—フレーム・メモリ 15S—垂直シフト・レジスタ 18, 18R, 18G, 18B—出力信号線 20, 20R, 20G, 20B—水平シフト・レジスタ 24, 24R, 24G, 24B—出力バッファ 26, 26A, 26B, 26C—出力端子 32—結合用コンデンサ

特許出願人 キヤノン株式会社

代理人弁理士 田中 常雄

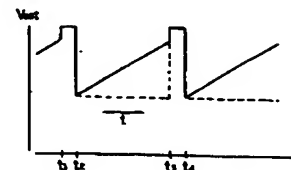
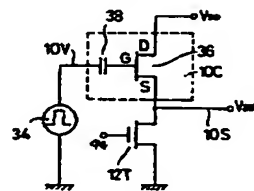


特開平2-65380(8)

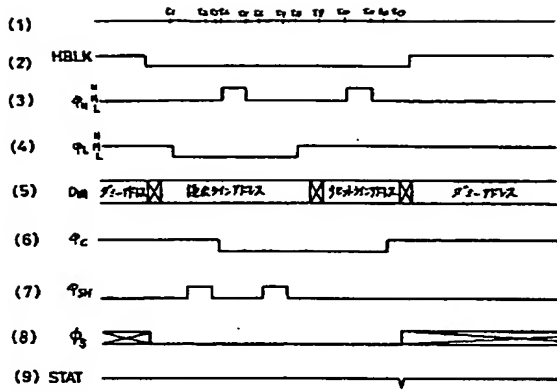


R	B	G	R	B	G	R
G	R	B	O	R	B	G
R	B	G	R	B	G	R
G	R	B	G	R	B	G
R	B	G	R	B	G	R

第 11 図



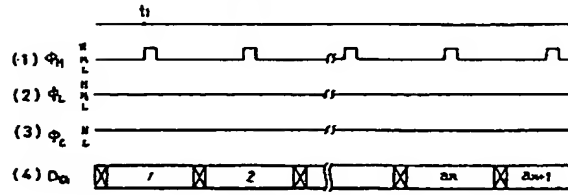
特開平2-65380(9)



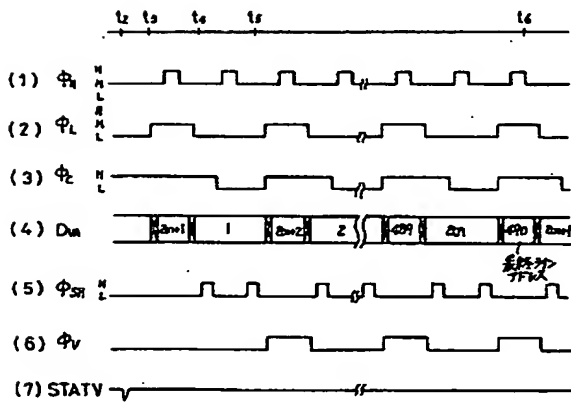
第 5 図

データバス (DATA BUS) 読み出し (READ) 書き出し (WRITE) (ODD) (EVEN)

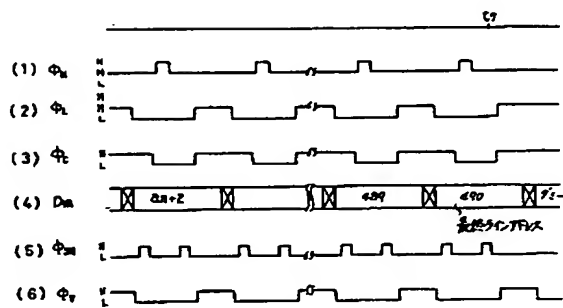
第 6 図



第 7A 図

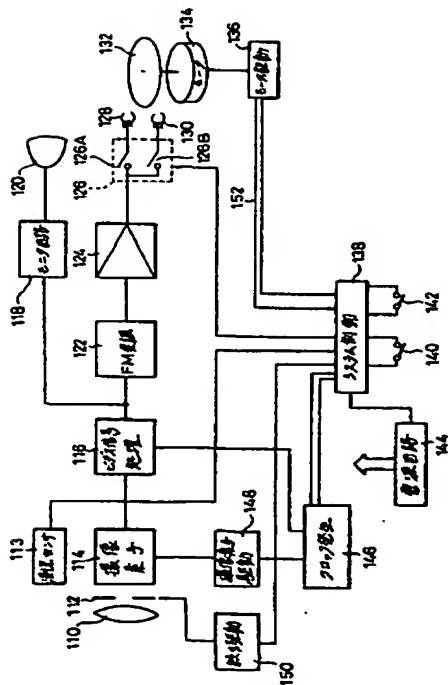
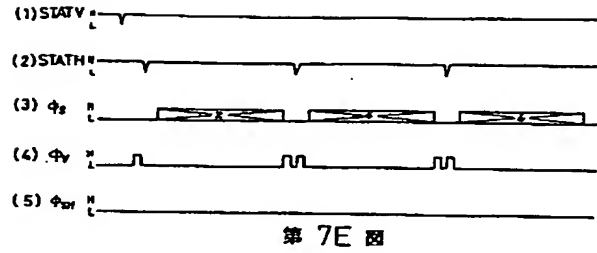
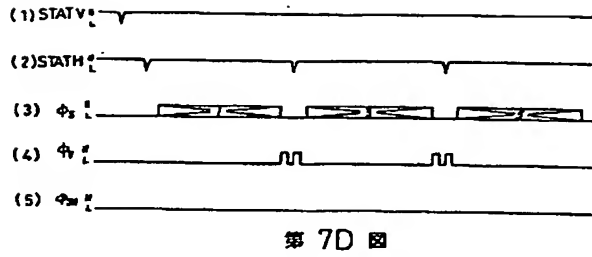


第 7B 図

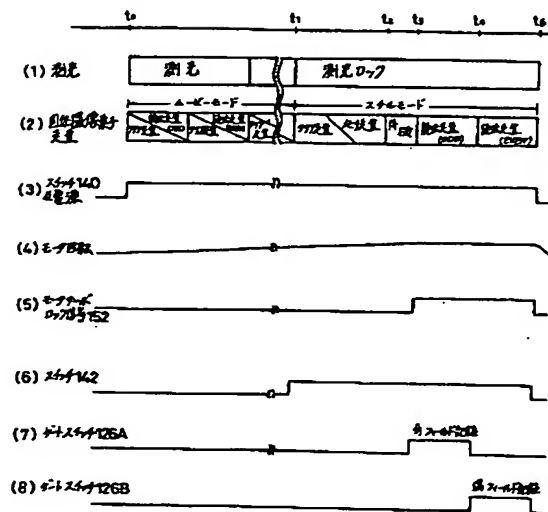


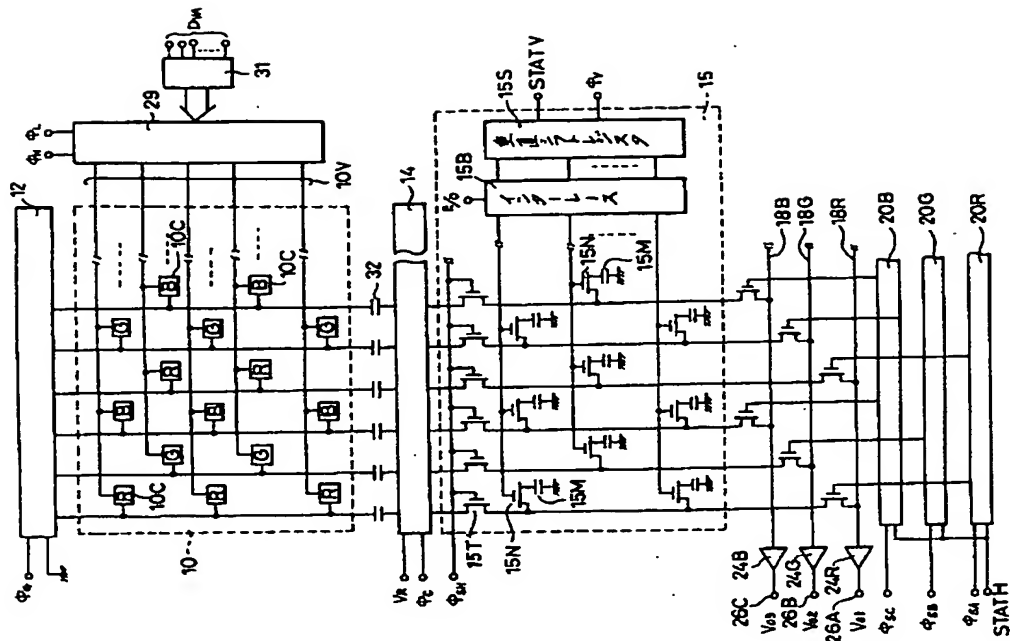
第 7C 図

特開平2-65380 (10)



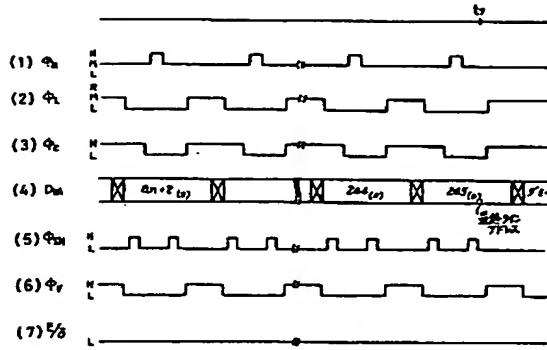
第 8 図



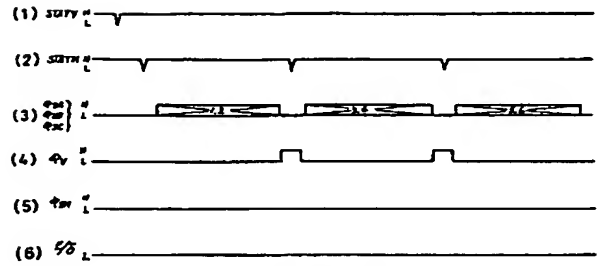


-561-

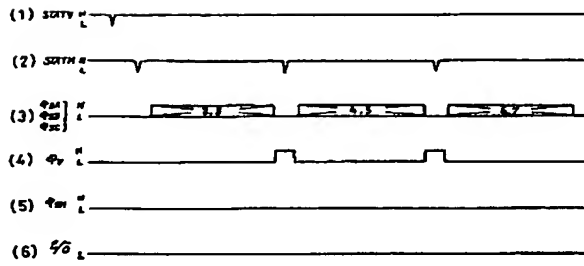
特開平2-65380(12)



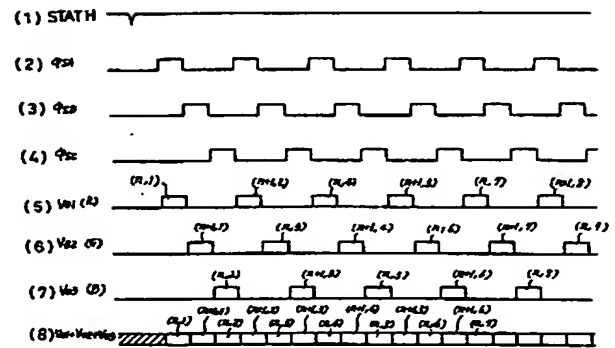
第13C 図



第13D 図



第13E 図

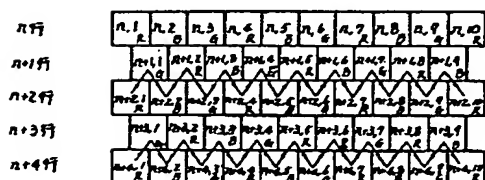


第14 図

特開平2-65380 (13)



(a) 前フィールドの読み位置 (E/Eは奇数)



(b) 偶フィールドの読み位置 (E/Eは奇数)

第 15 図

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 8 年（1996）8 月 30 日

【公開番号】特開平 2—6 5 3 8 0
 【公開日】平成 2 年（1990）3 月 6 日
 【年通号数】公開特許公報 2—6 5 4
 【出願番号】特願昭 63—216496
 【国際特許分類第 6 版】

H04N 5/335
 3/15

【F I】

H04N 5/335 E 9374-5C
 3/15 4228-5C

手 続 補 正 書

平成 7 年 6 月 16 日

特許庁長官 殿

1. 事件の表示
 昭和 83 年特許願第 216496 号
2. 発明の名称
 撮像装置
3. 補正をする者
 事件との関係 特許出願人
 東京都大田区下丸子三丁目 30 番 2 号
 (100) キヤノン株式会社
 代表者 御手洗 肇
4. 代理人 〒170
 東京都豊島区池袋 1 丁目 8 番 7 号
 サン池袋 1 ビル 301 号室
 電話 03-5396-7325
 (9028) 弁護士 田中 常雄
5. 補正命令の日付
 出願審査の請求と同時にする補正
6. 補正の対象
 明細書の特許請求の範囲の題及び発明の詳細な説明の欄
7. 補正の内容
 別紙の通り



【補正の内容】

- (1) 願書に添付した明細書の特許請求の範囲を別紙の通り補正します。
- (2) 同明細書の第 7 頁第 8 行乃至第 13 行に「本発明・・・特徴とする。」とあるのを、

本発明に係る撮像装置は、マトリックス状に配置された複数の画素からなる光電変換部と、当該光電変換部の所定のラインの複数の画素を選択する第 1 の垂直アドレス手段と、マトリックス状に配置された複数の記憶用のセルを有し、当該第 1 の垂直アドレス手段により選択されたラインの複数の画素の信号を垂直アドレス線を通じてパラレルに入力し記憶する記憶部と、当該光電変換部の所定のラインの複数の画素を当該第 1 の垂直アドレス手段により選択するのに伴って当該記憶部における記憶用の所定のラインを選択する第 2 の垂直アドレス手段とを有することを特徴とする。

と補正します。

- (8) 同明細書の第 7 頁第 15 行乃至第 20 行に「上記メモリ・・・得る」とあるのを、

上記手段により、光電変換部の光電変換信号を全部、一旦上記記憶部に転送することにより、フィールド間の撮影時刻差が実質的に生じないようにできる。従って、動きのある被写体に対してもブレの少ないフレーム停止画を得る

と補正します。

- (7) 同明細書の第 25 頁第 8 行目に「撮像手段のフレーム・メモリ」とあるのを、

撮像装置の記憶部

と補正します。

以 上

2. 特許請求の範囲

マトリックス状に配置された複数の画素からなる光電変換部と、

当該光電変換部の所定のラインの複数の画素を選択する第1の垂直アドレス手段と、

マトリックス状に配置された複数の記憶用のセルを有し、当該第1の垂直アドレス手段により選択されたラインの複数の画素の信号を垂直アドレス線を介してパラレルに入力し記憶する記憶部と、

当該光電変換部の所定のラインの複数の画素を当該第1の垂直アドレス手段により選択するのに伴って当該記憶部における記憶用の所定のラインを選択する第2の垂直アドレス手段

とを有することを特徴とする撮像装置。